



ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ,
ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ

(51) МПК
G06F 7/42 (2006.01)

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(21)(22) Заявка: 2009146773/09, 16.12.2009

(24) Дата начала отсчета срока действия патента:
16.12.2009

Приоритет(ы):

(22) Дата подачи заявки: 16.12.2009

(45) Опубликовано: 20.08.2011 Бюл. № 23

(56) Список документов, цитированных в отчете о поиске: ТАРАБРИН Б.В., ЯКУБОВСКИЙ С.В. и др. Справочник по интегральным микросхемам. - М.: Энергия, 1981, с.144. WO 2009035561, 19.03.2009. RU 2295751 C2, 20.03.2007.

Адрес для переписки:

355009, Ставропольский край, г.Ставрополь,
ул. Пушкина, 1, Ставропольский
государственный университет, научно-
исследовательская часть

(72) Автор(ы):

Копытов Владимир Вячеславович (RU),
Петренко Вячеслав Иванович (RU),
Сидорчук Алеся Вячеславна (RU)

(73) Патентообладатель(и):

Государственное образовательное
учреждение высшего профессионального
образования "Ставропольский
государственный университет" (RU)

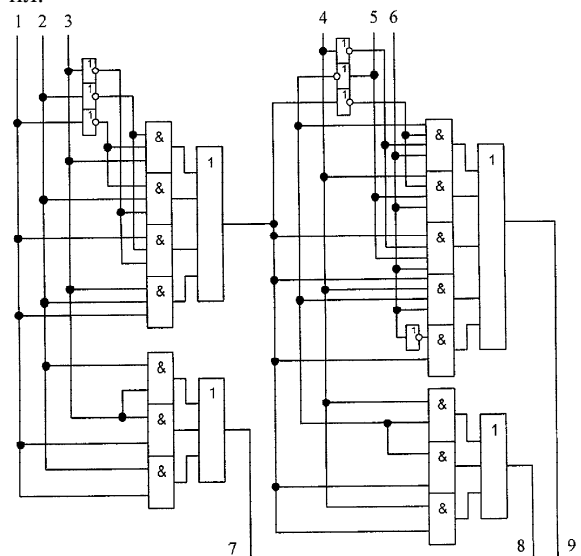
(54) ПОЛНЫЙ ОДНОРАЗРЯДНЫЙ СУММАТОР ПО МОДУЛЮ

(57) Реферат:

Полный одноразрядный сумматор по модулю относится к вычислительной технике и может быть использован в цифровых вычислительных устройствах, а также в устройствах цифровой обработки сигналов и в криптографических приложениях.

Достижимый технический результат - расширение функциональных возможностей полного одноразрядного сумматора за счет введения операции суммирования по модулю. Устройство содержит семь логических элементов «НЕ», семь двухвходовых логических элементов «И», четыре трехвходовых логических элементов «И», четыре четырехвходовых логических элементов «И», два трехвходовых логических элементов «ИЛИ», один четырехвходовый логический элемент «ИЛИ» и один

пятивходовый логический элемент «ИЛИ». 1 ил.





FEDERAL SERVICE
FOR INTELLECTUAL PROPERTY,
PATENTS AND TRADEMARKS

(51) Int. Cl.
G06F 7/42 (2006.01)

(12) ABSTRACT OF INVENTION

(21)(22) Application: **2009146773/09, 16.12.2009**

(24) Effective date for property rights:
16.12.2009

Priority:

(22) Date of filing: **16.12.2009**

(45) Date of publication: **20.08.2011 Bull. 23**

Mail address:

355009, Stavropol'skij kraj, g.Stavropol', ul. Pushkina, 1, Stavropol'skij gosudarstvennyj universitet, nauchno-issledovatel'skaja chast'

(72) Inventor(s):

**Kopytov Vladimir Vjacheslavovich (RU),
Petrenko Vjacheslav Ivanovich (RU),
Sidorchuk Alesja Vjacheslavna (RU)**

(73) Proprietor(s):

Gosudarstvennoe obrazovatel'noe uchrezhdenie vysshego professional'nogo obrazovanija "Stavropol'skij gosudarstvennyj universitet" (RU)

(54) ONE-BIT FULL ADDER

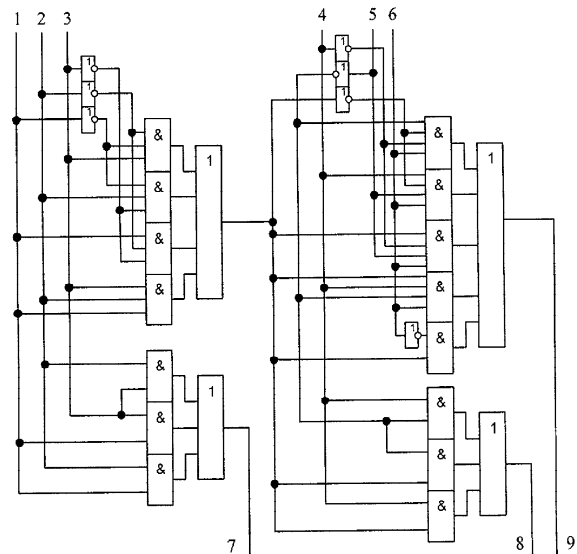
(57) Abstract:

FIELD: information technology.

SUBSTANCE: device has seven logic inverters, seven two-input AND logic elements, four three-input AND logic elements, four four-input AND logic elements, two three-input OR logic elements, one four-input OR logic element and one five-input OR logic element.

EFFECT: broader functional capabilities one the one-bit full adder due to introduction of the modulo addition operation.

1 dwg



RU 2 4 2 7 0 2 7 C 1

RU 2 4 2 7 0 2 7 C 1

Изобретение относится к вычислительной технике и может быть использовано в цифровых вычислительных устройствах, а также в устройствах цифровой обработки сигналов и в криптографических приложениях.

Известен сумматор, содержащий 2 логических элемента «Исключающее ИЛИ», 3 двухвходовых логических элемента «И» и 1 трехвходовый логический элемент «И» (см. Пухальский Г.И., Новосельцева Т.Я. Проектирование дискретных устройств на интегральных микросхемах: Справочник. - М.: Радио и связь, 1990. Рисунок 3.44а, с.132).

Недостатком данного сумматора являются ограниченные функциональные возможности, а именно невозможность суммирования по модулю.

Наиболее близким по технической сущности к заявляемому изобретению является одноразрядный сумматор К155ИМ1, содержащий 4 двухвходовых логических элемента «И-НЕ», 2 двухвходовых логических элемента «ИЛИ», 6 двухвходовых логических элементов «И», 1 трехвходовый логический элемент «И», 1 четырехвходовый логический элемент «ИЛИ», 1 трехвходовый логический элемент «ИЛИ», 1 логический элемент «НЕ», соединенные между собой функционально (см. Справочник по интегральным микросхемам / Б.В.Тарабрин, С.В.Якубовский, Н.А.Барканов и др. Под ред. Б.В.Тарабрина. - 2-е изд., перераб. и доп. - М: Энергия, 1981, с.144).

Недостатком данного устройства являются ограниченные функциональные возможности, а именно отсутствие операции суммирования по модулю.

Цель изобретения - расширение функциональных возможностей устройства за счет введения операции суммирования по модулю.

Для достижения поставленной цели в полный одноразрядный сумматор, содержащий шесть двухвходовых логических элементов «И», один логический элемент «НЕ» и один трехвходовый логический элемент «И», ко входам которого подключены входы первого и второго чисел суммирования и вход переноса сумматора, причем ко входу первого логического элемента «И» подключены вход второго числа и вход переноса сумматора, ко входу второго логического элемента «И» подключены вход первого числа и вход переноса сумматора, ко входу третьего логического элемента «И» подключены вход первого и второго чисел суммирования сумматора, введены шесть логических элементов «НЕ», один двухвходовый, три трехвходовых, четыре четырехвходовых логических элементов «И», два трехвходовых, один четырехвходовый, один пятивходовый логических элементов «ИЛИ», причем вход первого числа сумматора подключен ко входу третьего логического элемента «НЕ» и к первому входу третьего трехвходового логического элемента «И», вход второго числа сумматора подключен ко входу второго логического элемента «НЕ» и ко второму входу второго трехвходового логического элемента «И», вход переноса подключен ко входу первого логического элемента «НЕ» и к третьему входу первого трехвходового логического элемента «И», выход первого логического элемента «НЕ» подключен к третьему входу второго трехвходового логического элемента «И» и к третьему входу третьего трехвходового логического элемента «И», выход второго логического элемента «НЕ» подключен к первому входу первого трехвходового логического элемента «И» и ко второму входу третьего трехвходового логического элемента «И», выход третьего логического элемента «НЕ» подключен ко второму входу первого трехвходового логического элемента «И» и к первому входу второго трехвходового логического элемента «И», выходы первого, второго и третьего двухвходовых логических элементов «И» подключены ко входам первого

трехвходового логического элемента «ИЛИ», выход которого является выходом
 переноса сумматора, выходы всех четырех трехвходовых логических элементов «И»
 подключены ко входам четырехвходового логического элемента «ИЛИ», выход
 которого подключен ко входу шестого логического элемента «НЕ», к первому входу
 5 третьего и к первому входу четвертого четырехвходового логического элемента «И»,
 ко второму входу седьмого двухвходового логического элемента «И», ко второму
 входу пятого и ко второму входу шестого двухвходового логического элемента «И»,
 10 вход переноса модуля сумматора подключен ко входу четвертого логического
 элемента «НЕ», к первому входу второго и к второму входу четвертого
 четырехвходового логического элемента «И», к первому входу четвертого и к к
 первому входу шестого двухвходовых логических элементов «И», вход модуля
 сумматора подключен ко входу пятого логического элемента «НЕ», к третьему входу
 15 второго и третьему входу третьего четырехвходовых логических элементов «И»,
 управляющий вход сумматора подключен к четвертым входам четырехвходовых
 логических элементов «И» и ко входу седьмого логического элемента «НЕ», выход
 которого подключен к первому входу седьмого двухвходового логического элемента
 «И», выход четвертого логического элемента «НЕ» подключен к третьему входу
 20 первого и ко второму входу третьего четырехвходовых логических элементов «И»,
 выход пятого логического элемента «НЕ» подключен к первому входу первого и к
 третьему входу четвертого четырехвходовых логических элементов «И», ко
 второму входу четвертого и к первому входу пятого двухвходовых логических
 элементов «И», выход шестого логического элемента «НЕ» подключен ко второму
 25 входу первого и ко второму входу второго четырехвходовых логических элементов
 «И», выходы первого, второго, третьего и четвертого четырехвходовых и седьмого
 двухвходового логических элементов «И» подключены ко входам пятивходового
 логического элемента «ИЛИ», выход которого является информационным выходом
 30 сумматора, выходы четвертого, пятого и шестого двухвходовых логических
 элементов «И» подключены ко входам второго трехвходового логического элемента
 «ИЛИ», выход которого является выходом переноса модуля сумматора.

Сущность изобретения заключается в реализации следующего способа
 суммирования двух чисел $0 \leq a < m$ и $0 \leq b < m$ по модулю m . Если $(a+b) < m$, то выполняется
 35 обычное суммирование $S = a + b$ и эта сумма S является результатом. Если же $(S = a + b) > m$
 и по исходному условию сумма S при $0 \leq a < m$ и $0 \leq b < m$ не может превышать $2m - 2$, то из
 суммы S вычитается значение m и результат является суммой $(a + b) \bmod m$. При этом на
 выходе переноса сумматора, осуществляющего вычитание, появляется сигнал.
 40 Данный сигнал является признаком превышения суммы S значения m и используется
 для выбора результата $(a + b)$ или $(a + b) - m$. В соответствии с этим полный
 одноразрядный сумматор по модулю, из которого затем может быть составлен
 сумматор по модулю для произвольного числа разрядов, должен выполнить
 суммирование a_i и b_i разрядов с учетом разряда переноса p_{i-1} из младших разрядов и
 45 полученную сумму S_i выдать на выход устройства при отсутствии сигнала переноса
 модуля со старшего разряда или вычесть из нее разряд модуля m_i при наличии
 такового.

На чертеже представлена схема полного одноразрядного сумматора по модулю.
 50 Полный одноразрядный сумматор по модулю содержит 7 логических элементов
 «НЕ», 7 двухвходовых логических элементов «И», 4 четырехвходовых логических
 элементов «И», 4 трехвходовых логических элементов «И», 2 трехвходовых
 логических элементов «ИЛИ», 1 четырехвходовый логический элемент «ИЛИ», 1

5
 10
 15
 20

пятивходовый логический элемент «ИЛИ». На вход 1 подается разряд первого числа суммирования a_i , на вход 2 - второго числа суммирования b_i . Вход 3 служит входом переноса числа p_{Ini} , вход 4 - входом переноса модуля pm_{Ini} . На вход 5 подается разряд модуля m_i . Вход 6 является управляющим входом W . Выход 7 является выходом переноса p_{Outi} , выход 8 - выходом переноса модуля pm_{Outi} . Выход 9 является информационным выходом S_i .

Одноразрядный сумматор по модулю работает следующим образом. Полный одноразрядный сумматор по модулю состоит из логических элементов «НЕ», «И», «ИЛИ», соединенных таким образом, чтобы выполнялись следующие вычисления:

$$p_{Outi} = (b_i \wedge p_{Ini}) \vee (p_{Ini} \wedge a_i) \vee (b_i \wedge a_i);$$

$$S_{ab} = (\overline{b_i} \wedge \overline{a_i} \wedge p_{Ini}) \vee (\overline{a_i} \wedge b_i \wedge \overline{p_{Ini}}) \vee (a_i \wedge \overline{b_i} \wedge \overline{p_{Ini}}) \vee (a_i \wedge b_i \wedge p_{Ini});$$

$$pm_{Outi} = (pm_{Ini} \wedge \overline{m_i}) \vee (\overline{m_i} \wedge S_{ab}) \vee (pm_{Ini} \wedge S_{ab});$$

$$S_i = (\overline{m_i} \wedge \overline{S_{ab}} \wedge \overline{pm_{Ini}} \wedge W) \vee (pm_{Ini} \wedge \overline{S_{ab}} \wedge m_i \wedge W) \vee (S_{ab} \wedge \overline{pm_{Ini}} \wedge m_i \wedge W) \vee (S_{ab} \wedge pm_{Ini} \wedge \overline{m_i} \wedge W) \vee (\overline{W} \wedge S_{ab}),$$

где $i=0, \dots, n$. Данные выражения составлены в соответствии с таблицей истинности:

25

30

35

40

45

50

	a_i	b_i	p_{Ini}	S_{ab}	p_{Out}	m_i	pm_{Ini}	W	pm_{Out}	S_i
	0	0	0	0	0	0	0	0	0	0
	0	1	0	1	0	0	0	0	1	1
5	1	0	0	1	0	0	0	0	1	1
	1	1	0	0	1	0	0	0	0	0
	0	0	1	1	0	0	0	0	1	1
	0	1	1	0	1	0	0	0	0	0
10	1	0	1	0	1	0	0	0	0	0
	1	1	1	1	1	0	0	0	1	1
	0	0	0	0	0	1	0	0	0	0
	0	1	0	1	0	1	0	0	0	1
15	1	0	0	1	0	1	0	0	0	1
	1	1	0	0	1	1	0	0	0	0
	0	0	1	1	0	1	0	0	0	1
	0	1	1	0	1	1	0	0	0	0
20	1	0	1	0	1	1	0	0	0	0
	1	1	1	1	1	1	0	0	0	1
	0	0	0	0	0	0	1	0	1	0
	0	1	0	1	0	0	1	0	1	1
25	1	0	0	1	0	0	1	0	1	1
	1	1	0	0	1	0	1	0	1	0
	0	0	1	1	0	0	1	0	1	1
	0	1	1	0	1	0	1	0	1	0
30	1	0	1	0	1	0	1	0	1	0
	1	1	1	1	1	0	1	0	1	1
	0	0	0	0	0	1	1	0	0	0
	0	1	0	1	0	1	1	0	1	1

35

40

45

50

	a_i	b_i	p_{Ini}	S_{ab}	p_{Out}	m_i	pm_{Ini}	W	pm_{Out}	S_i
	1	0	0	1	0	1	1	0	1	1
	1	1	0	0	1	1	1	0	0	0
5	0	0	1	1	0	1	1	0	1	1
	0	1	1	0	1	1	1	0	0	0
	1	0	1	0	1	1	1	0	0	0
	1	1	1	1	1	1	1	0	1	1
10	0	0	0	0	0	0	0	1	0	1
	0	1	0	1	0	0	0	1	1	0
	1	0	0	1	0	0	0	1	1	0
	1	1	0	0	1	0	0	1	0	1
15	0	0	1	1	0	0	0	1	1	0
	0	1	1	0	1	0	0	1	0	1
	1	0	1	0	1	0	0	1	0	1
	1	1	1	1	1	0	0	1	1	0
20	0	0	0	0	0	1	0	1	0	0
	0	1	0	1	0	1	0	1	0	1
	1	0	0	1	0	1	0	1	0	1
	1	1	0	0	1	1	0	1	0	0
25	0	0	1	1	0	1	0	1	0	1
	0	1	1	0	1	1	0	1	0	0
	1	0	1	0	1	1	0	1	0	0
	1	1	1	1	1	1	0	1	0	1
30	0	0	0	0	0	0	1	1	1	0
	0	1	0	1	0	0	1	1	1	1
	1	0	0	1	0	0	1	1	1	1
	1	1	0	0	1	0	1	1	1	0
35	0	0	1	1	0	0	1	1	1	1
	0	1	1	0	1	0	1	1	1	0
	1	0	1	0	1	0	1	1	1	0
	1	1	1	1	1	0	1	1	1	1
40	0	0	0	0	0	1	1	1	0	1
	0	1	0	1	0	1	1	1	1	0
	1	0	0	1	0	1	1	1	1	0
	1	1	0	0	1	1	1	1	0	1
45	0	0	1	1	0	1	1	1	1	0
	0	1	1	0	1	1	1	1	0	1
	1	0	1	0	1	1	1	1	0	1
	1	1	1	1	1	1	1	1	1	0

50

Формула изобретения

Полный одноразрядный сумматор по модулю, содержащий шесть двухвходовых логических элементов «И», один логический элемент «НЕ» и один трехвходовый

логический элемент «И», ко входам которого подключены входы первого и второго чисел суммирования и вход переноса сумматора, причем ко входу первого логического элемента «И» подключены вход второго числа и вход переноса сумматора, ко входу второго логического элемента «И» подключены вход первого числа и вход переноса сумматора, ко входу третьего логического элемента «И» подключены вход первого и второго чисел суммирования сумматора, отличающийся тем, что в него введены шесть логических элементов «НЕ», один двухвходовый, три трехвходовых, четыре четырехвходовых логических элементов «И», два трехвходовых, один четырехвходовый, один пятивходовый логических элементов «ИЛИ», причем вход первого числа сумматора подключен ко входу третьего логического элемента «НЕ» и к первому входу третьего трехвходового логического элемента «И», вход второго числа сумматора подключен ко входу второго логического элемента «НЕ» и ко второму входу второго трехвходового логического элемента «И», вход переноса подключен ко входу первого логического элемента «НЕ» и к третьему входу первого трехвходового логического элемента «И», выход первого логического элемента «НЕ» подключен к третьему входу второго трехвходового логического элемента «И» и к третьему входу третьего трехвходового логического элемента «И», выход второго логического элемента «НЕ» подключен к первому входу первого трехвходового логического элемента «И» и ко второму входу третьего трехвходового логического элемента «И», выход третьего логического элемента «НЕ» подключен ко второму входу первого трехвходового логического элемента «И» и к первому входу второго трехвходового логического элемента «И», выходы первого, второго и третьего двухвходовых логических элементов «И» подключены ко входам первого трехвходового логического элемента «ИЛИ», выход которого является выходом переноса сумматора, выходы всех четырех трехвходовых логических элементов «И» подключены ко входам четырехвходового логического элемента «ИЛИ», выход которого подключен ко входу шестого логического элемента «НЕ», к первому входу третьего и к первому входу четвертого четырехвходового логического элемента «И», ко второму входу седьмого двухвходового логического элемента «И», ко второму входу пятого и ко второму входу шестого двухвходового логического элемента «И», вход переноса модуля сумматора подключен ко входу четвертого логического элемента «НЕ», к первому входу второго и к второму входу четвертого четырехвходового логического элемента «И», к первому входу четвертого и к первому входу шестого двухвходовых логических элементов «И», вход модуля сумматора подключен ко входу пятого логического элемента «НЕ», к третьему входу второго и третьему входу третьего четырехвходовых логических элементов «И», управляющий вход сумматора подключен к четвертым входам четырехвходовых логических элементов «И» и ко входу седьмого логического элемента «НЕ», выход которого подключен к первому входу седьмого двухвходового логического элемента «И», выход четвертого логического элемента «НЕ» подключен к третьему входу первого и ко второму входу третьего четырехвходовых логических элементов «И», выход пятого логического элемента «НЕ» подключен к первому входу первого и к третьему входу четвертого четырехвходового логического элемента «И», ко второму входу четвертого и к первому входу пятого двухвходовых логических элементов «И», выход шестого логического элемента «НЕ», подключен ко второму входу первого и ко второму входу второго четырехвходовых логических элементов «И», выходы первого, второго, третьего и четвертого четырехвходовых и седьмого двухвходового логических элементов «И» подключены ко входам пятивходового логического

элемента «ИЛИ», выход которого является информационным выходом сумматора, выходы четвертого, пятого и шестого двухвходовых логических элементов «И» подключены ко входам второго трехвходового логического элемента «ИЛИ», выход которого является выходом переноса модуля сумматора.

5

10

15

20

25

30

35

40

45

50