



ФЕДЕРАЛЬНАЯ СЛУЖБА  
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ

## (12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(21)(22) Заявка: 2010103085/08, 29.01.2010

(24) Дата начала отсчета срока действия патента:  
29.01.2010

Приоритет(ы):

(22) Дата подачи заявки: 29.01.2010

(43) Дата публикации заявки: 10.08.2011 Бюл. № 22

(45) Опубликовано: 10.01.2012 Бюл. № 1

(56) Список документов, цитированных в отчете о  
поиске: ПУХАЛЬСКИЙ Г.И. и др.

Проектирование дискретных устройств на  
интегральных микросхемах. - М.: Радио и  
связь, 1990, с.133, рис.3.45. RU 2032934 C1,  
10.04.1995. SU 1756884 A1, 23.08.1992. US  
4598266 A, 01.07.1986. WO 02/101506 A2,  
19.12.2002.

Адрес для переписки:

355009, Ставропольский край, г.Ставрополь,  
ул. Пушкина, 1, ГОУ ВПО "Ставропольский  
государственный университет", научно-  
исследовательская часть

(72) Автор(ы):

Копытов Владимир Вячеславович (RU),  
Петренко Вячеслав Иванович (RU),  
Сидорчук Алеся Вячеславна (RU)

(73) Патентообладатель(и):

Государственное образовательное  
учреждение высшего профессионального  
образования "Ставропольский  
государственный университет" (RU)

RU 2 4 3 9 6 6 1 C 2

RU 2 4 3 9 6 6 1 C 2

(54) МНОГОРАЗРЯДНЫЙ ПАРАЛЛЕЛЬНЫЙ СУММАТОР ПО МОДУЛЮ С  
ПОСЛЕДОВАТЕЛЬНЫМ ПЕРЕНОСОМ

(57) Реферат:

Изобретение относится к вычислительной  
технике и может быть использовано в  
цифровых вычислительных устройствах, а  
также в устройствах цифровой обработки  
сигналов и в криптографических приложениях.  
Техническим результатом является расширение  
функциональных возможностей устройства за  
счет введения операции суммирования по

модулю. Устройство содержит  $n+1$   
одноразрядных параллельных сумматоров по  
модулю, где  $n$  - количество разрядов чисел  
суммирования, при этом каждый  
одноразрядный сумматор по модулю состоит  
из двух одноразрядных сумматоров, двух  
логических элементов И, логического элемента  
ИЛИ, двух логических элементов НЕ. 1 з.п. ф-  
лы, 2 ил., 1 табл.





FEDERAL SERVICE  
FOR INTELLECTUAL PROPERTY

(51) Int. Cl.  
**G06F 7/72** (2006.01)

(12) **ABSTRACT OF INVENTION**

(21)(22) Application: **2010103085/08, 29.01.2010**

(24) Effective date for property rights:  
**29.01.2010**

Priority:

(22) Date of filing: **29.01.2010**

(43) Application published: **10.08.2011 Bull. 22**

(45) Date of publication: **10.01.2012 Bull. 1**

Mail address:

**355009, Stavropol'skij kraj, g.Stavropol', ul. Pushkina, 1, GOU VPO "Stavropol'skij gosudarstvennyj universitet", nauchno-issledovatel'skaja chast'**

(72) Inventor(s):

**Kopytov Vladimir Vjacheslavovich (RU),  
Petrenko Vjacheslav Ivanovich (RU),  
Sidorchuk Alesja Vjacheslavna (RU)**

(73) Proprietor(s):

**Gosudarstvennoe obrazovatel'noe uchrezhdenie vysshego professional'nogo obrazovanija "Stavropol'skij gosudarstvennyj universitet" (RU)**

(54) **MULTIDIGIT PARALLEL SUMMATOR BY MODULE WITH SEQUENTIAL CARRY**

(57) Abstract:

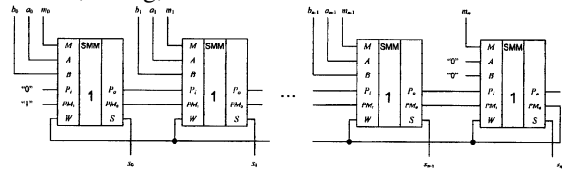
FIELD: information technologies.

SUBSTANCE: device comprises n+1 single-digit parallel summators by module, where n - number of digits of summation numbers, at the same time each single-digit summator by module comprises two single-digit summators, two logical AND elements, a logical OR element, two logical NOT elements.

EFFECT: expansion of functional capabilities of

the device by introduction of a summation operation by module.

2 cl, 2 dwg, 1 tbl



1 – одноразрядный параллельный сумматор по модулю  
Фиг. 1

RU 2 439 661 C2

RU 2 439 661 C2

Изобретение относится к вычислительной технике и может быть использовано в цифровых вычислительных устройствах, а также в устройствах цифровой обработки сигналов и в криптографических приложениях.

Известен последовательный многоразрядный сумматор, который содержит  $n$ -разрядные сдвиговые регистры операндов  $X$  и  $Y$ , регистр результата  $S$ , одноразрядный сумматор  $SM$  и двухступенчатый  $D$ -триггер для запоминания переноса. (Бабич Н.П., Жуков И.А. Основы цифровой схемотехники: Учебное пособие. - М.: Издательский дом «Додэка-XXI», Киев.: «МК-Пресс», 2007. - рисунок 4,45 с.176).

Недостатком данного сумматора являются ограниченные функциональные возможности, а именно невозможность суммирования по модулю.

Наиболее близким по технической сущности к заявляемому изобретению является многоразрядный параллельный сумматор с последовательным переносом, содержащий  $n$  одноразрядных параллельных сумматоров с соответствующими связями (см. Пухальский Г.И., Новосельцева Т.Я. Проектирование дискретных устройств на интегральных микросхемах: Справочник. - М.: Радио и связь, 1990. Рисунок 3.45, с.133).

Недостатком данного сумматора являются ограниченные- функциональные возможности, а именно невозможность суммирования по модулю.

Цель изобретения - расширение функциональных возможностей устройства за счет введения операции суммирования по модулю.

Для достижения поставленной цели в многоразрядный параллельный сумматор по модулю с последовательным переносом, состоящий из  $n$  одноразрядных параллельных сумматоров, где  $n$  - максимальный разряд чисел суммирования, причем на первые входы сумматоров подается двоичный код первого числа суммирования, на вторые входы сумматоров подается двоичный код второго числа суммирования, на вход переноса числа первого сумматора подается логический ноль, выход переноса числа  $i$ -го сумматора подключен ко входу переноса числа  $(i+1)$ -го сумматора, где  $i=1, \dots, n-1$  - номер сумматора, информационные выходы  $n$  сумматоров являются информационными выходами устройства, введен  $(n+1)$ -й одноразрядный параллельный сумматор по модулю, а первые  $n$  одноразрядных параллельных сумматоров выполнены в виде одноразрядных параллельных сумматоров по модулю, входы модуля всех одноразрядных параллельных сумматоров по модулю являются входами модуля устройства, управляющие входы которых подключены к выходу переноса модуля  $n+1$ -го одноразрядного параллельного сумматора, на вход первого и второго чисел суммирования  $(n+1)$ -го одноразрядного параллельного сумматора по модулю подаются логические нули, выход переноса числа  $n$ -го одноразрядного параллельного сумматора по модулю подключен ко входу переноса числа  $(n+1)$ -го одноразрядного параллельного сумматора по модулю, на вход переноса модуля первого одноразрядного параллельного сумматора по модулю подается логическая единица, выход переноса модуля  $i$ -го одноразрядного параллельного сумматора по модулю подключен ко входу переноса модуля  $(i+1)$ -го одноразрядного параллельного сумматора по модулю, где  $i=1, \dots, n$ , информационный выход  $n+1$  сумматора является информационным выходом устройства. При этом одноразрядный параллельный сумматор по модулю состоит из двух одноразрядных параллельных сумматоров, двух логических элементов НЕ, двух логических элементов И и одного логического элемента ИЛИ, причем первый вход первого одноразрядного параллельного сумматора является входом первого числа суммирования устройства, второй вход является входом второго числа суммирования устройства, третий вход является

входом переноса числа устройства, информационный выход подключен ко второму входу второго одноразрядного параллельного сумматора и ко второму входу первого логического элемента И, а выход переноса является выходом переноса числа устройства, код модуля подается на вход первого логического элемента НЕ, выход которого подключен к первому входу второго одноразрядного параллельного сумматора, третий вход которого соединен со входом переноса модуля устройства, информационный выход подключен ко второму входу второго логического элемента И, а выход переноса является выходом переноса модуля устройства, управляющий вход устройства подключен к первому входу второго логического элемента И и ко входу второго логического элемента НЕ, выход которого подключен к первому входу первого логического элемента И, выходы первого и второго логических элементов И подключены ко входам логического элемента ИЛИ, выход которого является информационным выходом устройства. Одноразрядный параллельный сумматор по модулю состоит из двух одноразрядных параллельных сумматоров, двух логических элементов НЕ, двух логических элементов И и одного логического элемента ИЛИ, причем первый вход первого одноразрядного параллельного сумматора является входом первого числа суммирования устройства, второй вход является входом второго числа суммирования устройства, третий вход является входом переноса числа устройства, информационный выход подключен ко второму входу второго одноразрядного параллельного сумматора и ко второму входу первого логического элемента И, а выход переноса является выходом переноса числа устройства, код модуля подается на вход первого логического элемента НЕ, выход которого подключен к первому входу второго одноразрядного параллельного сумматора, третий вход которого соединен со входом переноса модуля устройства, информационный выход подключен ко второму входу второго логического элемента И, а выход переноса является выходом переноса модуля устройства, управляющий вход устройства подключен к первому входу второго логического элемента И и ко входу второго логического элемента НЕ, выход которого подключен к первому входу первого логического элемента И, выходы первого и второго логических элементов И подключены ко входам логического элемента ИЛИ, выход которого является информационным выходом устройства.

Сущность изобретения заключается в реализации следующего способа суммирования по модулю.

При сложении двух чисел, представленных в виде двоичных кодов  $A (a_1, \dots, a_n)$  и  $B (b_1, \dots, b_n)$  образуется сумма  $C (c_1, \dots, c_{n+1})$ . Чтобы найти результат суммирования чисел  $A$  и  $B$  по модулю  $M (m_1, \dots, m_{n+1})$ , необходимо найти решение разности  $C (c_1, \dots, c_{n+1}) - M(m_1, \dots, m_{n+1})$ . Если полученное значение отрицательно, то  $S(s_1, \dots, s_{n+1})=C(c_1, \dots, c_{n+1})$ , если положительное, то  $S(s_1, \dots, s_{n+1})=C(c_1, \dots, c_{n+1}) - M(m_1, \dots, m_{n+1})$ .

На фиг.1 представлена схема многоразрядного параллельного сумматора по модулю с последовательным переносом.

Многоразрядный параллельный сумматор по модулю с последовательным переносом содержит  $n+1$  одноразрядных параллельных сумматоров 1 по модулю, где  $n$  количество разрядов чисел суммирования. На вход  $A$   $n$  сумматоров 1 подается код числа  $A$ , на вход  $B$   $n$  сумматоров 1 подается код числа  $B$ . На входы  $A$  и  $B$   $n+1$ -ого сумматора 1 подаются логические нули. На вход  $M$  всех сумматоров 1 подается код числа  $M$ . На вход  $P_i$  первого сумматора 1 подается логический ноль, на вход  $PM_i$  первого сумматора 1 - логическая единица. Выход  $P_0$   $j$ -го сумматора 1 соединен со входом  $P_i$   $(j+1)$ -го сумматора 1, выход  $PM_0$   $j$ -го сумматора 1 соединен со входом

$PM_j$  ( $j+1$ )-го сумматора 1, где  $j=1, \dots, n$ . Выход  $PM_0$  ( $n+1$ )-го сумматора 1 является выходом переноса  $pm_{Out}$  устройства, который соединен с управляющим входом  $W$  всех  $n+1$  сумматоров 1. Выходы  $S$  всех сумматоров 1 являются информационными выходами устройства.

На фиг.2. представлена схема одноразрядного параллельного сумматора 1 по модулю.

Одноразрядный параллельный сумматор 1 по модулю состоит из двух одноразрядных параллельных сумматоров 2, двух логических элементов НЕ 5, двух логических элементов И 3 и одного логического элемента ИЛИ 4, причем первый вход первого одноразрядного параллельного сумматора 2 является входом первого числа суммирования устройства, второй вход является входом второго числа суммирования устройства, третий вход является входом переноса числа устройства, информационный выход подключен ко второму входу второго одноразрядного параллельного сумматора 2 и ко второму входу первого логического элемента И 3, а выход переноса является выходом переноса числа устройства, код модуля подается на вход первого логического элемента НЕ 5, выход которого подключен к первому входу второго одноразрядного параллельного сумматора 2, третий вход которого соединен со входом переноса модуля устройства, информационный выход подключен ко второму входу второго логического элемента И 3, а выход переноса является выходом переноса модуля устройства, управляющий вход устройства подключен к первому входу второго логического элемента И 3 и ко входу второго логического элемента НЕ 5, выход которого подключен к первому входу первого логического элемента И 3, выходы первого и второго логических элементов И 3 подключены ко входам логического элемента ИЛИ 4, выход которого является информационным выходом устройства.

Многоразрядный параллельный сумматор по модулю с последовательным переносом работает следующим образом. На информационные входы сумматоров 1 подаются в двоичном виде коды чисел суммирования  $A(a_1, \dots, a_n)$  и  $B(b_1, \dots, b_n)$  и код модуля  $M(m_1, \dots, m_{n+1})$ . Последовательно для каждого разряда каждым одноразрядным параллельным сумматором по модулю 1 формируется перенос числа и перенос модуля. Если сигнал на выходе переноса модуля ( $n+1$ )-го одноразрядного параллельного сумматора 1 по модулю равен единице, то из суммы  $(A+B)$  вычитается значение модуля, в противном случае два числа  $A(a_1, \dots, a_n)$  и  $B(b_1, \dots, b_n)$  суммируются обычным способом. При этом последовательно поразрядно формируется результат суммирования двух чисел  $A(a_1, \dots, a_n)$  и  $B(b_1, \dots, b_n)$  по модулю  $M(m_1, \dots, m_{n+1})$ .

Рассмотрим работу сумматора на примере.

Пусть  $A=6_{10}=110_2$ ,  $B=4_{10}=110_2$ ,  $M=9_{10}=1001_2$ . Воспользовавшись таблицей истинности полного одноразрядного сумматора 1 по модулю (табл.1), найдем промежуточные и конечный результаты суммирования по модулю. Устройство для данного примера будет содержать четыре одноразрядных параллельных сумматора по модулю.

На входы четырех сумматоров подаются коды чисел  $A=110_2$ ,  $B=110_2$ ,  $M=1001_2$ . На выходе первого сумматора  $P_0=0$ ,  $PM_0=0$ . На выходе второго сумматора  $P_0=0$ ,  $PM_0=1$ . На выходе третьего сумматора  $P_0=1$ ,  $PM_0=1$ . На выходе четвертого сумматора  $PM_0=1$  эта единица поступает на все входы  $W$  всех четырех сумматоров. В результате на выходе первого сумматора  $S=1$ , на выходе второго сумматора  $S=0$ , на выходе третьего сумматора  $S=0$ , на выходе четвертого сумматора  $S=0$ , на выходе устройства

появляется число  $0001_2=1_{10}$ .

Проверим:  $6+4=10, 10 \equiv 1 \pmod 9$ .

Одноразрядный параллельный сумматор 1 по модулю работает следующим образом. На вход А подается разряд первого числа суммирования А, на вход В - второго числа суммирования В. Вход  $P_i$  служит входом переноса числа  $P_i$ , вход  $PM_i$  - входом переноса модуля  $PM_i$ . На вход М подается разряд модуля М. Вход W является управляющим входом W. Выход  $P_0$  является выходом переноса  $P_0$ , выход  $PM_0$  - выходом переноса модуля  $PM_0$ . Выход S является информационным выходом.

Устройство работает в соответствии с таблицей истинности (Табл.1). Если на вход W поступает логический ноль, то в результате  $S=A+B$ , если логическая единица, то  $S=(A+B)-M$ .

Таблица 1.

Таблица истинности полного одноразрядного сумматора по модулю.

A	B	$P_i$	$P_0$	M	$PM_i$	W	$PM_0$	S
0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	1	1
1	0	0	0	0	0	0	1	1
1	1	0	1	0	0	0	0	0
0	0	1	0	0	0	0	1	1
0	1	1	1	0	0	0	0	0
1	0	1	1	0	0	0	0	0
1	1	1	1	0	0	0	1	1
0	0	0	0	1	0	0	0	0
0	1	0	0	1	0	0	0	1
1	0	0	0	1	0	0	0	1
1	1	0	1	1	0	0	0	0
0	0	1	0	1	0	0	0	1
0	1	1	1	1	0	0	0	0
1	0	1	1	1	0	0	0	0
1	1	1	1	1	0	0	0	1
0	0	0	0	0	1	0	1	0
0	1	0	0	0	1	0	1	1
1	0	0	0	0	1	0	1	1
1	1	0	1	0	1	0	1	0
0	0	1	0	0	1	0	1	1
0	1	1	1	0	1	0	1	0
1	0	1	1	0	1	0	1	0
1	1	1	1	0	1	0	1	1
0	0	0	0	1	1	0	0	0
0	1	0	0	1	1	0	1	1
1	0	0	0	1	1	0	1	1
1	1	0	1	1	1	0	0	0
0	0	1	0	1	1	0	1	1
0	1	1	1	1	1	0	0	0
1	0	1	1	1	1	0	0	0
1	1	1	1	1	1	0	1	1
0	0	0	0	0	0	1	0	1
0	1	0	0	0	0	1	"Г	0
1	0	0	0	0	0	1	1	0
1	1	0	1	0	0	1	0	1
0	0	1	0	0	0	1	1	0
0	1	1	1	0	0	1	0	1
1	0	1	1	0	0	1	0	1

	A	B	P <sub>i</sub>	P <sub>0</sub>	M	PM <sub>i</sub>	W	PM <sub>0</sub>	S
	1	1	1	1	0	0	1	1	0
	0	0	0	0	1	0	1	0	0
5	0	1	0	0	1	0	1	0	1
	1	0	0	0	1	0	1	0	1
	1	1	0	1	1	0	1	0	0
	0	0	1	0	1	0	1	0	1
	0	1	1	1	1	0	1	0	0
10	1	0	1	1	1	0	1	0	0
	1	1	1	1	1	0	1	0	1
	0	0	0	0	0	1	1	1	0
	0	1	0	0	0	1	1	1	1
	1	0	0	0	0	1	1	1	1
	1	1	0	1	0	1	1	1	0
15	0	0	1	0	0	1	1	1	1
	0	1	1	1	0	1	1	1	0
	1	0	1	1	0	1	1	1	0
	1	1	1	1	0	1	1	1	1
	0	0	0	0	1	1	1	0	1
20	0	1	0	0	1	1	1	1	0
	1	0	0	0	1	1	1	1	0
	1	1	0	1	1	1	1	0	1
	0	0	1	0	1	1	1	1	0
	0	1	1	1	1	1	1	0	1
	1	0	1	1	1	1	1	0	1
25	1	1	1	1	1	1	1	1	0

### Формула изобретения

1. Многоразрядный параллельный сумматор по модулю с последовательным переносом, состоящий из  $n$  одноразрядных параллельных сумматоров, где  $n$  - максимальный разряд чисел суммирования, причем на первые входы сумматоров подается двоичный код первого числа суммирования, на вторые входы сумматоров подается двоичный код второго числа суммирования, на вход переноса числа первого сумматора подается логический ноль, выход переноса числа  $i$ -го сумматора подключен ко входу переноса числа  $(i+1)$ -го сумматора, где  $i=1, \dots, n-1$  номер сумматора, информационные выходы  $n$  сумматоров являются информационными выходами устройства, отличающийся тем, что в него введен  $(n+1)$ -ый одноразрядный параллельный сумматор по модулю, а первые  $n$  одноразрядных параллельных сумматоров выполнены в виде одноразрядных параллельных сумматоров по модулю, входы модуля всех одноразрядных параллельных сумматоров по модулю являются входами модуля устройства, управляющие входы которых подключены к выходу переноса модуля  $n+1$ -го одноразрядного параллельного сумматора, на вход первого и второго чисел суммирования  $(n+1)$ -го одноразрядного параллельного сумматора по модулю подаются логические нули, выход переноса числа  $n$ -го одноразрядного параллельного сумматора по модулю подключен ко входу переноса числа  $(n+1)$ -го одноразрядного параллельного сумматора по модулю, на вход переноса модуля первого одноразрядного параллельного сумматора по модулю подается логическая единица, выход переноса модуля  $i$ -го одноразрядного параллельного сумматора по модулю подключен ко входу переноса модуля  $(i+1)$ -го одноразрядного параллельного сумматора по модулю, где  $i=1, \dots, n$ , информационный выход  $n+1$  сумматора является информационным выходом устройства.



2. Устройство по п.1, отличающееся тем, что одноразрядный параллельный сумматор по модулю состоит из двух одноразрядных параллельных сумматоров, двух логических элементов «НЕ», двух логических элементов «И» и одного логического элемента «ИЛИ», причем первый вход первого одноразрядного параллельного сумматора является входом первого числа суммирования устройства, второй вход является входом второго числа суммирования устройства, третий вход является входом переноса числа устройства, информационный выход подключен ко второму входу второго одноразрядного параллельного сумматора и ко второму входу первого логического элемента «И», а выход переноса является выходом переноса числа устройства, код модуля подается на вход первого логического элемента «НЕ», выход которого подключен к первому входу второго одноразрядного параллельного сумматора, третий вход которого соединен со входом переноса модуля устройства, информационный выход подключен ко второму входу второго логического элемента «И», а выход переноса является выходом переноса модуля устройства, управляющий вход устройства подключен к первому входу второго логического элемента «И» и ко входу второго логического элемента «НЕ», выход которого подключен к первому входу первого логического элемента «И», выходы первого и второго логических элементов «И» подключены ко входам логического элемента «ИЛИ», выход которого является информационным выходом устройства.

25

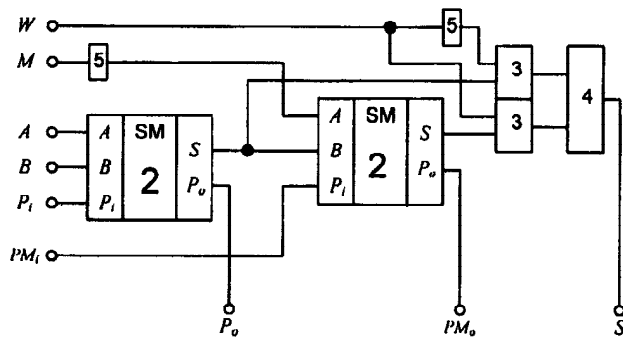
30

35

40

45

50



2 – одnorазрядный параллельный сумматор

3 – логический элемент «И»

4 – логический элемент «ИЛИ»

5 – Логический элемент «НЕ»

Фиг. 2