



**ФЕДЕРАЛЬНАЯ СЛУЖБА  
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ**

**(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ**

(21)(22) Заявка: 2011147292/08, 21.11.2011

(24) Дата начала отсчета срока действия патента:  
21.11.2011

Приоритет(ы):

(22) Дата подачи заявки: 21.11.2011

(45) Опубликовано: 10.06.2013 Бюл. № 16

(56) Список документов, цитированных в отчете о  
поиске: RU 2427027 C1, 20.08.2011. RU 2110087 C1,  
27.04.1998. JP 1130628 A, 23.05.1989. WO  
02/101506 A2, 19.12.2002. US 4598266 A,  
01.07.1986.

Адрес для переписки:

355029, г.Ставрополь, пр-кт Кулакова, 2,  
Северо-Кавказский федеральный университет

(72) Автор(ы):

**Копытов Владимир Вячеславович (RU),  
Петренко Вячеслав Иванович (RU),  
Сидорчук Алеся Вячеславна (RU)**

(73) Патентообладатель(и):

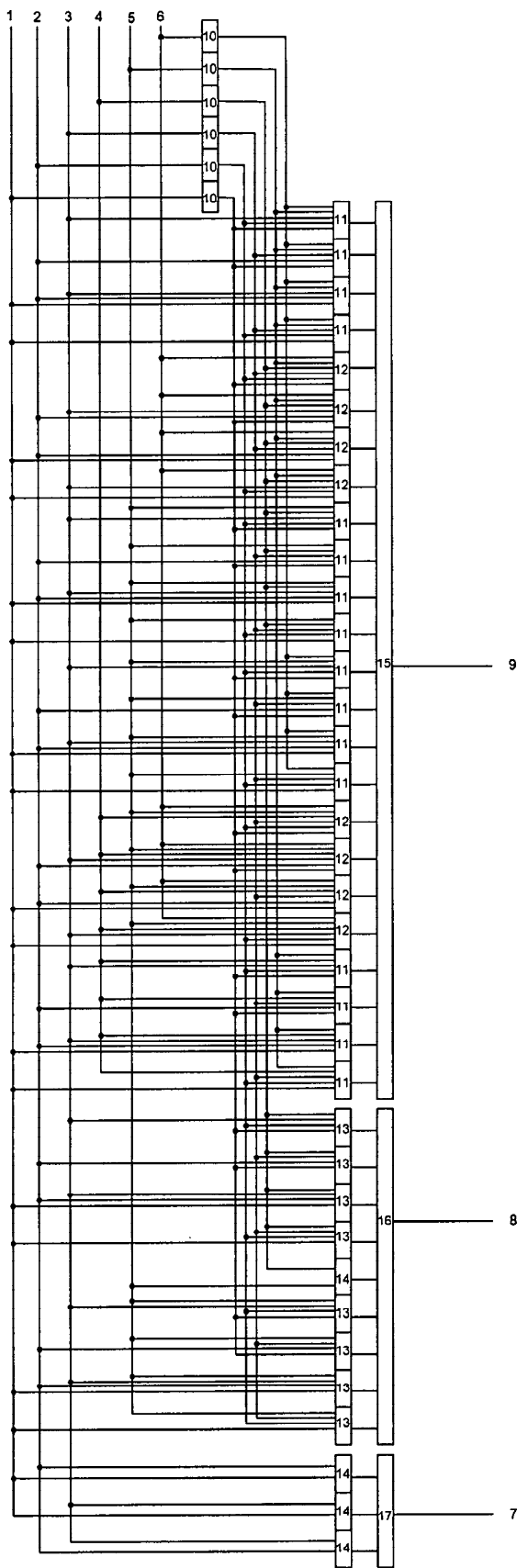
**Федеральное государственное автономное  
образовательное учреждение высшего  
профессионального образования "Северо-  
Кавказский федеральный университет" (RU)****(54) ПОЛНЫЙ ОДНОРАЗЯДНЫЙ СУММАТОР ПО МОДУЛЮ**

(57) Реферат:

Изобретение относится к вычислительной  
технике и может быть использовано в  
цифровых вычислительных устройствах, а  
также в устройствах цифровой обработки  
сигналов и в криптографических приложениях.Техническим результатом является повышение  
быстродействия сумматора за счет  
параллельного выполнения операции сложения  
по модулю. Устройство содержит логические  
элементы «НЕ», «И», «ИЛИ». 1 ил., 1 табл.

RU 2 484 519 C1

RU 2 484 519 C1



1-6 – входы устройства

7-9 – выходы устройства

10 – логический элемент «НЕ»

11 – пятиходовый логический элемент «И»

12 – шестивходовый логический элемент «И»

13 – четырехходовый логический элемент «И»

14 – двухходовый логический элемент «И»

15 – двадцатичетырехходовый логический элемент «ИЛИ»

16 – девятиходовый логический элемент «ИЛИ»

17 – трехходовый логический элемент «ИЛИ»

Полный одноразрядный сумматор по модулю

Фиг. 1



FEDERAL SERVICE  
FOR INTELLECTUAL PROPERTY

(51) Int. Cl.  
**G06F 7/72** (2006.01)

(12) **ABSTRACT OF INVENTION**

(21)(22) Application: **2011147292/08, 21.11.2011**

(24) Effective date for property rights:  
**21.11.2011**

Priority:

(22) Date of filing: **21.11.2011**

(45) Date of publication: **10.06.2013 Bull. 16**

Mail address:

**355029, g.Stavropol', pr-kt Kulakova, 2, Severo-Kavkazskij federal'nyj universitet**

(72) Inventor(s):

**Kopytov Vladimir Vjacheslavovich (RU),  
Petrenko Vjacheslav Ivanovich (RU),  
Sidorchuk Alesja Vjacheslavna (RU)**

(73) Proprietor(s):

**Federal'noe gosudarstvennoe avtonomnoe obrazovatel'noe uchrezhdenie vysshego professional'nogo obrazovanija "Severo-Kavkazskij federal'nyj universitet" (RU)**

(54) **ONE-BIT FULL MODULO ADDER**

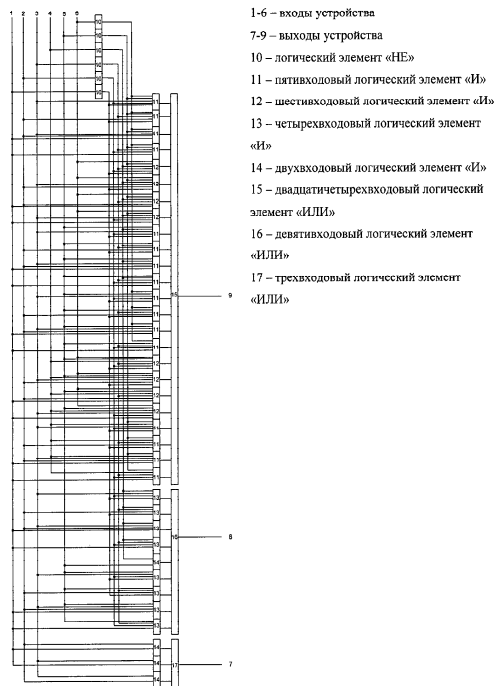
(57) Abstract:

FIELD: information technology.

SUBSTANCE: invention can be used in digital computers as well as digital signal processing devices and cryptographic applications. The device has logic elements NOT, AND, OR.

EFFECT: high speed of operation of the adder due to parallel execution of the modulo addition operation.

1 dwg, 1 tbl



Полный одноразрядный сумматор по модулю  
Фиг. 1

RU 2 484 519 C1

RU 2 484 519 C1

Изобретение относится к вычислительной технике и может быть использовано в цифровых вычислительных устройствах, а также в устройствах цифровой обработки сигналов и в криптографических приложениях.

5 Известен одноразрядный сумматор К155ИМ1, содержащий 4 двухвходовых логических элемента «И-НЕ», 2 двухвходовых логических элемента «ИЛИ», 6 двухвходовых логических элементов «И», 1 трехвходовый логический элемент «И», 1 четырехвходовый логический элемент «ИЛИ», 1 трехвходовый логический элемент «ИЛИ», 1 логический элемент «НЕ», соединенные между собой функционально (см. 10 Справочник по интегральным микросхемам / Б.В.Тарабрин, С.В.Якубовский, Н.А.Барканов и др.; Под ред. Б.В.Тарабрина. - 2-е изд., перераб. и доп. - М.: Энергия, 1981, с.144).

Недостатком данного сумматора являются ограниченные функциональные возможности, а именно отсутствие операции суммирования по модулю.

15 Наиболее близким по технической сущности к заявляемому изобретению является полный одноразрядный сумматор по модулю, содержащий 7 логических элементов «НЕ», 7 двухвходовых логических элементов «И», 4 четырехвходовых логических элемента «И», 4 трехвходовых логических элемента «И», 2 трехвходовых логических 20 элемента «ИЛИ», 1 четырехвходовый логический элемент «ИЛИ», 1 пятивходовый логический элемент «ИЛИ», соединенные между собой функционально (см. патент РФ №2427027, G06F 7/42, 20.08.2011, бюл. №23).

Недостатком данного устройства является низкое быстродействие.

Целью изобретения является повышение быстродействия.

25 Для достижения поставленной цели в полный одноразрядный сумматор по модулю, содержащий четыре двухвходовых логических элемента «И», три четырехвходовых логических элемента «И», шесть логических элементов «НЕ» и один логический элемент «ИЛИ», ко входам которого подключены выходы второго, третьего и 30 четвертого двухвходовых логических элементов «И» и выход которого является выходом переноса сумматора, причем ко входу второго двухвходового логического элемента «И» подключены вход первого и второго числа суммирования сумматора, ко входу третьего двухвходового логического элемента «И» подключены вход 35 первого числа и вход переноса сумматора, ко входу четвертого двухвходового логического элемента «И» подключены вход второго числа и вход переноса сумматора, вход первого числа сумматора подключен ко входу шестого логического элемента «НЕ», вход второго числа сумматора подключен ко входу пятого логического элемента «НЕ», вход переноса сумматора подключен ко входу 40 четвертого логического элемента «НЕ», вход модуля сумматора подключен ко входу третьего логического элемента «НЕ», выход которого подключен к первому входу первого и к первому входу второго четырехвходовых логических элементов «И», вход переноса модуля сумматора подключен ко входу второго логического элемента «НЕ» и к первому входу пятого четырехвходового логического элемента «И», управляющий 45 вход сумматора подключен ко входу первого логического элемента «НЕ», введены пять четырехвходовых, шестнадцать пятивходовых и восемь шестивходовых логических элементов «И», один двадцатичетырехвходовый и один девятивходовый логические элементы «ИЛИ», причем вход первого числа сумматора подключен к 50 пятому входу третьего, четвертого, седьмого, восьмого, одиннадцатого, двенадцатого, пятнадцатого, шестнадцатого пятивходовых логических элементов «И», к шестому входу третьего, четвертого, седьмого, восьмого шестивходовых логических элементов «И», к четвертому входу третьего, четвертого, седьмого, восьмого четырехвходовых



подключены ко входам двадцатичетырехвходового логического элемента «ИЛИ», выход которого является информационным выходом сумматора, выход первого двухвходового и выходы всех восьми четырехвходовых логических элементов «И» подключены ко входам девятивходового логического элемента «ИЛИ», выход которого является выходом переноса модуля сумматора, выходы второго, третьего, четвертого двухвходовых логических элементов «И» подключены ко входам трехвходового логического элемента «ИЛИ», выход которого является выходом переноса сумматора.

Поставленная цель повышения быстродействия достигается за счет того, что сокращено количество элементов, через которые должен последовательно пройти сигнал при выполнении арифметической операции суммирования по модулю. В устройстве-прототипе (см. патент РФ №2427027, G06F 7/42, 20.08.2011, бюл. №23) количество последовательных элементов, через которые должен пройти сигнал при выполнении такой операции, составляет 6, а в предлагаемом устройстве количество таких элементов составляет 3, т.е. быстродействие устройства повышается в 2 раза.

Сущность изобретения заключается в реализации следующего способа суммирования двух чисел  $0 \leq a < m$  и  $0 \leq b < m$  по модулю  $m$ . Если  $(a+b) < m$ , то выполняется обычное суммирование  $S=a+b$  и эта сумма  $S$  является результатом. Если же  $(S=a+b) > m$  и по исходному условию сумма  $S$  при  $0 \leq a < m$  и  $0 \leq b < m$  не может превышать  $2m-2$ , то из суммы  $S$  вычитается значение  $m$  и результат является суммой  $(a+b) \bmod m$ . При этом на выходе переноса сумматора, осуществляющего вычитание, появляется сигнал. Данный сигнал является признаком превышения суммы  $S$  значения  $m$  и используется для выбора результата  $(a+b)$  или  $(a+b)-m$ . В соответствии с этим полный одноразрядный сумматор по модулю, из которого затем может быть составлен сумматор по модулю для произвольного числа разрядов, должен выполнить суммирование  $a_i$  и  $b_i$  разрядов с учетом разряда переноса  $p_{Ini}$  из младших разрядов и полученную сумму  $S_i$  выдать на выход устройства при отсутствии сигнала переноса модуля со старшего разряда или вычесть из нее разряд модуля  $m_i$  при наличии такового.

На фиг.1 представлена схема полного одноразрядного сумматора по модулю.

Полный одноразрядный сумматор по модулю содержит 6 логических элементов «НЕ» 10, 4 двухвходовых логических элементов «И» 14, 8 четырехвходовых логических элементов «И» 13, 16 пятивходовых логических элементов «И» 11, 8 шестивходовых логических элементов «И» 12, 1 трехвходовый логический элемент «ИЛИ» 17, 1 девятивходовый логический элемент «ИЛИ» 16, 1 двадцатичетырехвходовый логический элемент «ИЛИ» 15 с соответствующими связями. На вход 1 подается разряд первого числа суммирования  $a_i$ , на вход 2 - второго числа суммирования  $b_i$ . Вход 3 служит входом переноса числа  $p_{Ini}$ . На вход 4 подается разряд модуля  $m_i$ . Вход 5 служит входом переноса модуля  $p_{Ini}$ . Вход 6 является управляющим входом  $W$ . Выход 7 является выходом переноса  $p_{Outi}$ , выход 8 - выходом переноса модуля  $p_{Outi}$ . Выход 9 является информационным выходом  $S_i$ .

Одноразрядный сумматор по модулю работает следующим образом. Полный одноразрядный сумматор по модулю состоит из логических элементов «НЕ», «И», «ИЛИ», соединенных таким образом, чтобы выполнялись следующие вычисления:

$$p_{Outi} = (b_i \wedge p_{lmi}) \vee (p_{lmi} \wedge a_i) \vee (b_i \wedge a_i);$$

$$pm_{Outi} = (\overline{a_i} \wedge \overline{b_i} \wedge p_{lmi} \wedge \overline{m_i}) \vee (\overline{a_i} \wedge b_i \wedge \overline{p_{lmi}} \wedge \overline{m_i}) \vee (a_i \wedge b_i \wedge p_{lmi} \wedge \overline{m_i}) \vee$$

$$5 \quad \vee (a_i \wedge \overline{b_i} \wedge \overline{p_{lmi}} \wedge \overline{m_i}) \vee (\overline{m_i} \wedge pm_{lmi}) \vee (\overline{a_i} \wedge \overline{b_i} \wedge p_{lmi} \wedge pm_{lmi}) \vee$$

$$\vee (\overline{a_i} \wedge b_i \wedge \overline{p_{lmi}} \wedge pm_{lmi}) \vee (a_i \wedge b_i \wedge p_{lmi} \wedge pm_{lmi}) \vee (a_i \wedge \overline{b_i} \wedge \overline{p_{lmi}} \wedge pm_{lmi});$$

$$S_i = (\overline{a_i} \wedge \overline{b_i} \wedge p_{lmi} \wedge \overline{pm_{lmi}} \wedge \overline{W}) \vee (\overline{a_i} \wedge b_i \wedge \overline{p_{lmi}} \wedge \overline{pm_{lmi}} \wedge \overline{W}) \vee$$

$$10 \quad \vee (a_i \wedge b_i \wedge p_{lmi} \wedge \overline{pm_{lmi}} \wedge \overline{W}) \vee (a_i \wedge \overline{b_i} \wedge \overline{p_{lmi}} \wedge \overline{pm_{lmi}} \wedge \overline{W}) \vee$$

$$\vee (\overline{a_i} \wedge \overline{b_i} \wedge \overline{p_{lmi}} \wedge \overline{m_i} \wedge \overline{pm_{lmi}} \wedge W) \vee (\overline{a_i} \wedge b_i \wedge p_{lmi} \wedge \overline{m_i} \wedge \overline{pm_{lmi}} \wedge W) \vee$$

$$15 \quad \vee (a_i \wedge b_i \wedge p_{lmi} \wedge \overline{m_i} \wedge \overline{pm_{lmi}} \wedge W) \vee (a_i \wedge \overline{b_i} \wedge p_{lmi} \wedge \overline{m_i} \wedge \overline{pm_{lmi}} \wedge W) \vee$$

$$\vee (\overline{a_i} \wedge \overline{b_i} \wedge p_{lmi} \wedge \overline{m_i} \wedge pm_{lmi}) \vee (\overline{a_i} \wedge b_i \wedge \overline{p_{lmi}} \wedge \overline{m_i} \wedge pm_{lmi}) \vee$$

$$\vee (a_i \wedge b_i \wedge p_{lmi} \wedge \overline{m_i} \wedge pm_{lmi}) \vee (a_i \wedge \overline{b_i} \wedge \overline{p_{lmi}} \wedge \overline{m_i} \wedge pm_{lmi}) \vee$$

$$20 \quad \vee (\overline{a_i} \wedge \overline{b_i} \wedge p_{lmi} \wedge pm_{lmi} \wedge \overline{W}) \vee (\overline{a_i} \wedge b_i \wedge \overline{p_{lmi}} \wedge pm_{lmi} \wedge \overline{W}) \vee$$

$$\vee (a_i \wedge b_i \wedge p_{lmi} \wedge pm_{lmi} \wedge \overline{W}) \vee (a_i \wedge \overline{b_i} \wedge \overline{p_{lmi}} \wedge pm_{lmi} \wedge \overline{W}) \vee$$

$$\vee (\overline{a_i} \wedge \overline{b_i} \wedge \overline{p_{lmi}} \wedge m_i \wedge pm_{lmi} \wedge W) \vee (\overline{a_i} \wedge b_i \wedge p_{lmi} \wedge m_i \wedge pm_{lmi} \wedge W) \vee$$

$$25 \quad \vee (a_i \wedge b_i \wedge p_{lmi} \wedge m_i \wedge pm_{lmi} \wedge W) \vee (a_i \wedge \overline{b_i} \wedge p_{lmi} \wedge m_i \wedge pm_{lmi} \wedge W) \vee$$

$$\vee (\overline{a_i} \wedge \overline{b_i} \wedge p_{lmi} \wedge m_i \wedge \overline{pm_{lmi}}) \vee (\overline{a_i} \wedge b_i \wedge \overline{p_{lmi}} \wedge m_i \wedge \overline{pm_{lmi}}) \vee$$

$$\vee (a_i \wedge b_i \wedge p_{lmi} \wedge m_i \wedge \overline{pm_{lmi}}) \vee (a_i \wedge \overline{b_i} \wedge \overline{p_{lmi}} \wedge m_i \wedge \overline{pm_{lmi}});$$

30

35

40

45

50

где  $i=0, \dots, n$ . Данные выражения составлены в соответствии с таблицей

истинности:

	$a_i$	$b_i$	$p_{Ini}$	$p_{Out}$	$m_i$	$pm_{Ini}$	$W$	$pm_{Out}$	$S_i$
5	0	0	0	0	0	0	0	0	0
	0	1	0	0	0	0	0	1	1
	1	0	0	0	0	0	0	1	1
	1	1	0	1	0	0	0	0	0
10	0	0	1	0	0	0	0	1	1
	0	1	1	1	0	0	0	0	0
	1	0	1	1	0	0	0	0	0
	1	1	1	1	0	0	0	1	1
	0	0	0	0	1	0	0	0	0
15	0	1	0	0	1	0	0	0	1
	1	0	0	0	1	0	0	0	1
	1	1	0	1	1	0	0	0	0
	0	0	1	0	1	0	0	0	1
20	0	1	1	1	1	0	0	0	0
	1	0	1	1	1	0	0	0	0
	1	1	1	1	1	0	0	0	1
	0	0	0	0	0	1	0	1	0
	0	1	0	0	0	1	0	1	1
25	1	0	0	0	0	1	0	1	1
	1	1	0	1	0	1	0	1	0
	0	0	1	0	0	1	0	1	1
	0	1	1	1	0	1	0	1	0
30	1	0	1	1	0	1	0	1	0
	1	1	1	1	0	1	0	1	1
	0	0	0	0	1	1	0	0	0
	0	1	0	0	1	1	0	1	1
	1	0	0	0	1	1	0	1	1
35	1	1	0	1	1	1	0	0	0
	0	0	1	0	1	1	0	1	1
	0	1	1	1	1	1	0	0	0
	1	0	1	1	1	1	0	0	0
40	1	1	1	1	1	1	0	1	1
	0	0	0	0	0	0	1	0	1
	0	1	0	0	0	0	1	1	0
	1	0	0	0	0	0	1	1	0
	1	1	0	1	0	0	1	0	1
45	0	0	1	0	0	0	1	1	0
	0	1	1	1	0	0	1	0	1
	1	0	1	1	0	0	1	0	1

50



	$a_i$	$b_i$	$p_{Ini}$	$p_{Out}$	$m_i$	$pm_{Ini}$	$W$	$pm_{Outi}$	$S_i$
	1	1	1	1	0	0	1	1	0
	0	0	0	0	1	0	1	0	0
5	0	1	0	0	1	0	1	0	1
	1	0	0	0	1	0	1	0	1
	1	1	0	1	1	0	1	0	0
	0	0	1	0	1	0	1	0	1
10	0	1	1	1	1	0	1	0	0
	1	0	1	1	1	0	1	0	0
	1	1	1	1	1	0	1	0	1
	0	0	0	0	0	1	1	1	0
15	0	1	0	0	0	1	1	1	1
	1	0	0	0	0	1	1	1	1
	1	1	0	1	0	1	1	1	0
	0	0	1	0	0	1	1	1	1
20	0	1	1	1	0	1	1	1	0
	1	0	1	1	0	1	1	1	0
	1	1	1	1	0	1	1	1	1
	0	0	0	0	1	1	1	0	1
25	0	1	0	0	1	1	1	1	0
	1	0	0	0	1	1	1	1	0
	1	1	0	1	1	1	1	0	1
	0	0	1	0	1	1	1	1	0
30	0	1	1	1	1	1	1	0	1
	1	0	1	1	1	1	1	0	1
	1	1	1	1	1	1	1	1	0

### Формула изобретения

Полный одноразрядный сумматор по модулю, содержащий четыре двухвходовых логических элемента «И», три четырехвходовых логических элемента «И», шесть логических элементов «НЕ» и один логический элемент «ИЛИ», ко входам которого

40 подключены выходы второго, третьего и четвертого двухвходовых логических элементов «И» и выход которого является выходом переноса сумматора, причем ко входу второго двухвходового логического элемента «И» подключены вход первого и второго числа суммирования сумматора, ко входу третьего двухвходового логического элемента «И»

45 подключены вход первого числа и вход переноса сумматора, ко входу четвертого двухвходового логического элемента «И» подключены вход второго числа и вход переноса сумматора, вход первого числа сумматора подключен ко входу шестого логического элемента «НЕ», вход второго числа сумматора подключен ко входу пятого логического элемента «НЕ», вход переноса сумматора

50 подключен ко входу четвертого логического элемента «НЕ», вход модуля сумматора подключен ко входу третьего логического элемента «НЕ», выход которого подключен к первому входу первого и к первому входу второго четырехвходовых логических элементов «И», вход переноса модуля сумматора подключен ко входу второго логического элемента «НЕ» и к первому входу пятого

четырёхвходового логического элемента «И», управляющий вход сумматора  
подключен ко входу первого логического элемента «НЕ», отличающийся тем, что в  
него введены пять четырехвходовых, шестнадцать пятивходовых и восемь  
5 шестивходовых логических элементов «И», один двадцатичетырехвходовый и один  
девятивходовый логических элементов «ИЛИ», причем вход первого числа сумматора  
подключен к пятому входу третьего, четвертого, седьмого, восьмого, одиннадцатого,  
двенадцатого, пятнадцатого, шестнадцатого пятивходовых логических элементов  
10 «И», к шестому входу третьего, четвертого, седьмого, восьмого шестивходовых  
логических элементов «И», к четвертому входу третьего, четвертого, седьмого,  
восьмого четырехвходовых логических элементов «И», вход второго числа сумматора  
подключен к четвертому входу второго, третьего, шестого, седьмого, десятого,  
одиннадцатого, четырнадцатого, пятнадцатого пятивходовых логических элементов  
15 «И», к пятому входу второго, третьего, шестого, седьмого шестивходовых логических  
элементов «И», к третьему входу второго, третьего, шестого, седьмого  
четырёхвходовых логических элементов «И», вход переноса сумматора подключен к  
третьему входу первого, третьего, пятого, седьмого, девятого, одиннадцатого,  
тринадцатого, пятнадцатого пятивходовых логических элементов «И», к четвертому  
20 входу второго, четвертого, шестого, восьмого шестивходовых логических элементов  
«И», ко второму входу первого, третьего, пятого, седьмого четырехвходовых  
логических элементов «И», вход модуля сумматора подключен к третьему входу  
пятого, шестого, седьмого, восьмого шестивходовых логических элементов «И», ко  
второму входу тринадцатого, четырнадцатого, пятнадцатого, шестнадцатого  
25 пятивходовых логических элементов «И», вход переноса модуля сумматора  
подключен к первому входу пятого, шестого, седьмого, восьмого и ко второму входу  
девятого, десятого, одиннадцатого, двенадцатого пятивходовых логических элементов  
«И», ко второму входу пятого, шестого, седьмого, восьмого шестивходовых  
30 логических элементов «И», к второму входу первого двухвходового логического  
элемента «И», к первому входу шестого, седьмого, восьмого четырехвходовых  
логических элементов «И», управляющий вход сумматора подключен к первому входу  
всех восьми шестивходовых логических элементов «И», выход первого логического  
элемента «НЕ» подключен к первому входу первого, второго, третьего, четвертого,  
35 девятого, десятого, одиннадцатого, двенадцатого пятивходовых логических элементов  
«И», выход второго логического элемента «НЕ» подключен ко второму входу  
первого, второго, третьего, четвертого и к первому входу тринадцатого,  
четырнадцатого, пятнадцатого, шестнадцатого пятивходовых логических элементов  
40 «И», ко второму входу первого, второго, третьего, четвертого шестивходовых  
логических элементов «И», выход третьего логического элемента «НЕ» подключен к  
третьему входу первого, второго, третьего, четвертого шестивходовых логических  
элементов «И», ко второму входу пятого, шестого, седьмого, восьмого пятивходовых  
логических элементов «И», к первому входу третьего, четвертого четырехвходовых  
45 логических элементов «И», к первому входу первого двухвходового логического  
элемента «И», выход четвертого логического элемента «НЕ» подключен к третьему  
входу второго, четвертого, шестого, восьмого, десятого, двенадцатого,  
четырнадцатого, шестнадцатого пятивходовых логических элементов «И», к  
50 четвертому входу первого, третьего, пятого, седьмого шестивходовых логических  
элементов «И», ко второму входу второго, четвертого, шестого, восьмого  
четырёхвходовых элементов «И», выход пятого логического элемента «НЕ»  
подключен к четвертому входу первого, четвертого, пятого, восьмого, девятого,

двенадцатого, тринадцатого, шестнадцатого пятиходовых логических элементов «И», к пятому входу первого, четвертого, пятого, восьмого шестивходовых логических элементов «И», к третьему входу первого, четвертого, пятого, восьмого четырехходовых логических элементов «И», выход шестого логического элемента «НЕ» подключен к пятому входу первого, второго, пятого, шестого, девятого, десятого, тринадцатого, четырнадцатого пятиходовых логических элементов «И», к шестому входу первого, второго, пятого, шестого шестивходовых логических элементов «И», к четвертому входу первого, второго, пятого, шестого четырехходовых логических элементов «И», выходы всех шестнадцати пятиходовых и всех восьми шестивходовых логических элементов «И» подключены ко входам двадцатичетырехходового логического элемента «ИЛИ», выход которого является информационным выходом сумматора, выход первого двухходового и выходы всех восьми четырехходовых логических элементов «И» подключены ко входам девятиходового логического элемента «ИЛИ», выход которого является выходом переноса модуля сумматора, выходы второго, третьего, четвертого двухходовых логических элементов «И» подключены ко входам трехходового логического элемента «ИЛИ», выход которого является выходом переноса сумматора.

20

25

30

35

40

45

50